



도파관 패키징을 위한 InP 250nm 공정 WR-3.4 대역 디텍터 설계



고윤경, 김준성, 이경민
고려대학교 초고주파 연구실

서론

- 6G 무선통신을 위한 IEEE 규격 (802.3.15d) 252-320 GHz를 포함하는 WR-3.4 대역(220-320 GHz)용 테라헤르츠 부품 제작을 위해 높은 f_T/f_{MAX} 를 갖는 Teledyne 사의 InP 250nm DHBT 공정 선정
- 패키징 성능 비교 단순화를 위해 WR-3.4 전대역(220-320 GHz)에서 flat Responsivity로 동작하는 디텍터 설계 및 제작 (최대 27kV/W @ 275 GHz, 3dB 대역폭 220-305 GHz)
- 회로 RF 수신부 손실 최소화를 위해 추가 와이어 본딩이 필요 없는 Waveguide-to-Chip 트랜지션 구조 사용
- 제작된 모듈은 6G 단거리 고속 송수신 Link, 테라헤르츠 이미징 등의 다양한 시스템에 활용 가능

본론

1. Probe pad 결합 회로

- ADS를 통해 WR-3.4 전 대역에서 Responsivity가 5kV/W 이상으로 Flat한 디텍터 설계
- 높은 Responsivity, Even order distortion 완화 및 안정적인 Ground 제공을 위한 Common-Base Differential push-push 구조
- single end probe pad에 인가된 신호를 differential 회로로 전달하기 위해 Ground 층에 구현한 balun 구조 사용
- 전체 회로의 폭은 WR-3.4 도파관의 E-plane 폭인 430 μm 를 넘지 않음

2. WG transition 결합 회로

- HFSS를 통해 반파장 On-chip Dipole Antenna 트랜지션 설계
- 도파관 패키징을 위해 디텍터의 Differential Input과 Dipole 트랜지션 결합
- FR-4 PCB 기판과 칩의 패드를 본딩 와이어로 DC 전압 인가 및 출력부 연결
- 회로 동작 안정성을 위한 100 pF SLC 장착
- WR-3.4 도파관 모듈은 알루미늄 CNC 정밀 가공 후 금 도금하여 제작
- 도파관 환경에서 Termination 저항 50옴과 2k옴에서 Responsivity 측정
- 270~320 GHz 대역에서 프로브 디텍터와 도파관 디텍터 동일 개형 (Fig. 4)
- 회로 폭은 390 micron으로 WR-3.4 도파관 E-plane 폭 430 micron보다 작고, 양 옆에 20 micron씩 Air-gap 존재

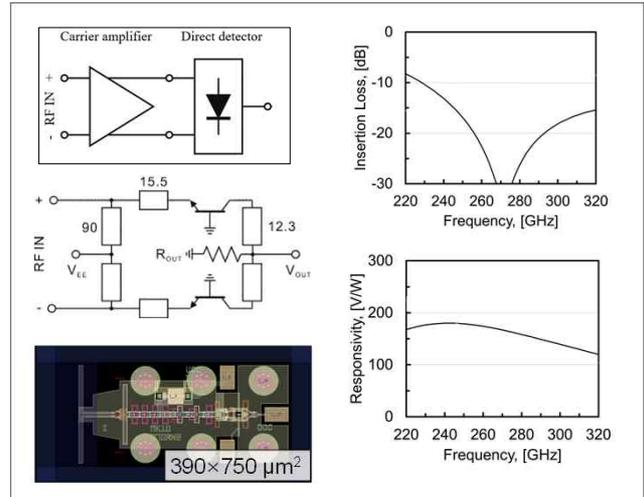


Fig. 1. 설계 디텍터 성능 및 도파관 디텍터 칩 레이아웃

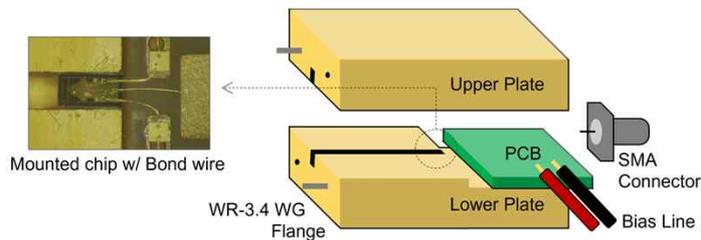


Fig. 2. 도파관 디텍터와 칩 장착 사진

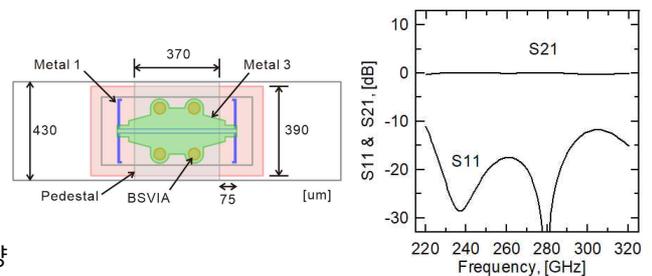


Fig. 3. 도파관 Transition 도면 및 시뮬레이션 성능

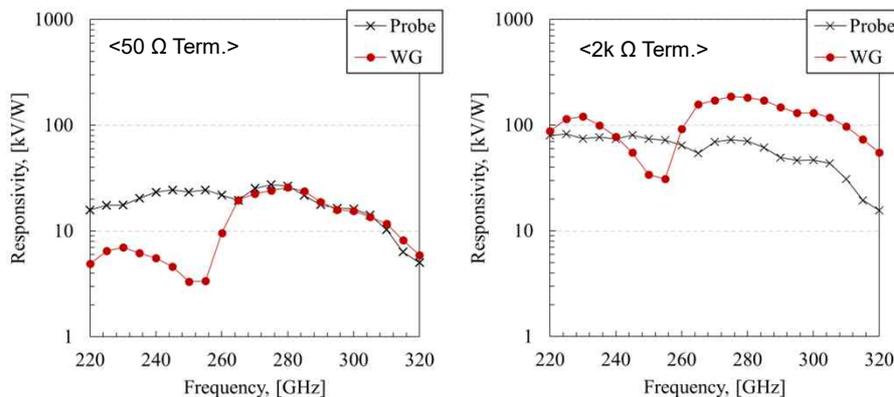


Fig. 4. 프로브 디텍터와 도파관 디텍터 측정 결과 비교

결론

- Teledyne사 InP 공정을 통해 WR-3.4 전대역 Flat Responsivity의 디텍터 회로 설계 및 측정
- On-chip Dipole 트랜지션 결합 디텍터 패키징 연구
- 프로브 디텍터와 도파관 디텍터가 270 ~ 320 GHz 대역에서 동일한 Responsivity 개형
- 260 GHz 부근에서 발생한 불일치 지점 해결을 위한 회로 마운팅 위치 관련 후속 연구 필요